

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-346913

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G01R 31/317

G01R 23/16

G06F 17/14

H03M 1/12

(21)Application number : 2000-105654

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 17.02.2000

(72)Inventor : TAJIRI SHINSUKE
ASAMI KOJI

(30)Priority

Priority number : 11075494
11038673

Priority date : 19.03.1999
17.02.1999

Priority country : JP

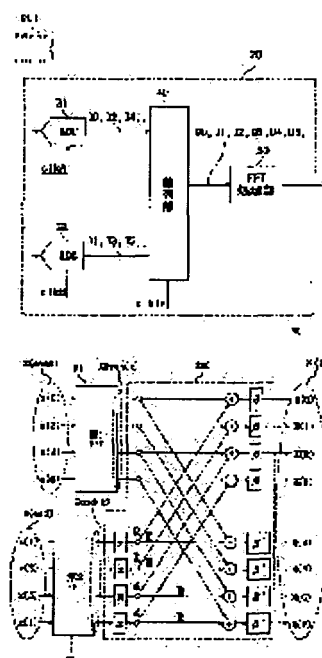
JP

(54) INTERLEAVE A/D CONVERSION-SYSTEM WAVEFORM DIGITIZER APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the cost performance of an interleave A/D conversion-system waveform digitizer apparatus by a constitution wherein the output of a semiconductor device is digital-converted from an analog signal so as to be interleaved, a phase-error correction factor is inserted and a butterfly computing operation is performed.

SOLUTION: A first A/D converter 31 and a second A/D converter 32 output even-number time-series data D0, D2,... and odd-number time-series data D1, D3,... which are sampled by respective sampling blocks at a sampling cycle $2T_s$. An alignment part 40 outputs time-series data D0, D1, D2,..., at a cycle T_s , which are alignment-converted alternately from both data columns. A final-stage butterfly computing part 220 in an FFT processing part 50 calculates a first phase error factor α , a second phase error factor β and a third phase error factor β' on the basis of a phase error γ by the deviation in terms of time between even-number-th input data and odd-number-th input data and on the basis of the sampling cycle T_s . The factor α is multiplied by the factors β , β' in a first FFT processing part 51, and the factors β , β' are multiplied by data sequences in a first FFT processing part 51 and the second FFE processing part 52. As a result, an FFT output which offsets an error due to the phase error γ is obtained.



LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-346913
(P2000-346913A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 1 R 31/317		G 0 1 R 31/28	A
23/16		23/16	B
G 0 6 F 17/14		G 0 6 F 17/14	S
H 0 3 M 1/12		H 0 3 M 1/12	C

審査請求 未請求 請求項の数22 書面 (全 16 頁)

(21) 出願番号 特願2000-105654(P2000-105654)

(22) 出願日 平成12年2月17日 (2000. 2. 17)

(31) 優先権主張番号 特願平11-75494

(32) 優先日 平成11年3月19日 (1999. 3. 19)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-38673

(32) 優先日 平成11年2月17日 (1999. 2. 17)

(33) 優先権主張国 日本 (J P)

特許法第30条第1項適用申請有り 1999年9月28日～9月30日 開催の「INTERNATIONAL TEST CONFERENCE 1999 PROCEEDINGS」において文書をもって発表

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 田尻 真介

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72) 発明者 浅見 幸司

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(74) 代理人 100104156

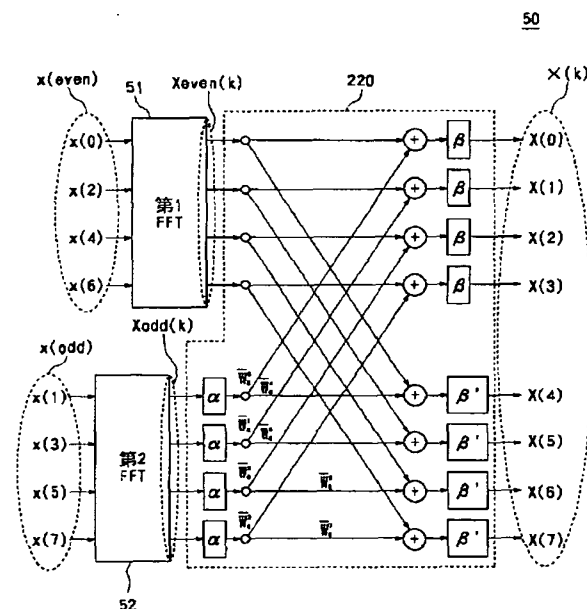
弁理士 龍華 明裕

(54) 【発明の名称】 インターリーブAD変換方式波形デジタイザ装置

(57) 【要約】

【課題】複数のAD変換器間におけるサンプリング位相のずれを測定して、FFT演算処理の補正が可能なインターリーブAD変換方式波形デジタイザ装置を提供する。

【解決手段】インターリーブ相数を2以上のN相としたとき、N個のAD変換器をインターリーブ構成に接続して備え、各AD変換器のサンプリングタイミングはインターリーブ構成に対応する所定タイミングで各々サンプリングして連続的に出力し、被測定デバイスから出力される被測定信号を受けて量子化変換し、AD変換器からの時系列データを受けてバタフライ演算法によりフーリエ変換する波形デジタイザ装置であって位相誤差補正係数を挿入してバタフライ演算を行うバタフライ演算部を含むことを特徴とする、インターリーブAD変換方式波形デジタイザ装置。



【特許請求の範囲】

【請求項1】半導体デバイスから出力されるアナログ信号をデジタル信号に変換するデジタイザ装置であって、前記半導体デバイスから出力されるアナログ信号を順次デジタル信号に変換するN個(Nは2以上の整数)のA/Dコンバータと、

前記A/Dコンバータから順次出力されるデジタル信号をインターリーブしてデータシーケンスを生成するNウェイのインターリーブ部と、

前記Nウェイインターリーブ部から出力される前記データシーケンスにフーリエ変換(FFT)処理を行うFFT処理部とを備え、

前記N個のA/Dコンバータが行うサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、

前記FFT処理部は、位相誤差を補正する補正係数を挿入してバタフライ演算を行うバタフライ演算部を含むことを特徴とする。

【請求項2】前記FFT処理部は、高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFFT)処理を前記データシーケンスに対して行うことを特徴とする請求項1に記載のデジタイザ装置。

【請求項3】前記FFT処理部は、前記データシーケンス中の偶数番目データシーケンスにFFT変換処理を行う第1FFT処理部と、前記データシーケンス中の奇数番目データシーケンスにFFT変換処理を行う第2FFT処理部とを更に有し、前記バタフライ演算部は、該第2FFT処理部によってFFT処理されたデータシーケンスに第1位相誤差補正係数を乗ずることを特徴とする請求項2に記載のデジタイザ装置。

【請求項4】前記バタフライ演算部は、前記第1及び第2FFT処理部によってFFT処理されたデータシーケンスに対して第2及び第3の位相誤差補正係数を乗ずることを特徴とする請求項3に記載のデジタイザ装置。

【請求項5】前記第1位相誤差補正係数(α)は、 $\alpha = \exp[j\pi\tau/Ts]$ ここでTsは前記アナログ信号のサンプリング信号のサンプリング周期で、jは $j^2 = -1$ であるところの虚数単位、と表現されることを特徴とする請求項4に記載のデジタイザ装置。

【請求項6】前記第2(β)及び第3(β')位相誤差補正係数は、 $\beta + \beta' = 1$ を満たすことを特徴とする請求項4に記載のデジタイザ装置。

【請求項7】前記バタフライ演算部に於て、前記第1位相誤差補正係数(α)は前記第2FFT処理部より出力されるFFT処理されたデータシーケンスに乗ぜられ、前記第2(β)及び第3(β')位相誤差補正係数は、それぞれ、 α が乗ぜられたFFT処理データシーケンスを伴う前記第1FFT処理部から出力されるFFT処理

されたデータシーケンスに乗ぜられ、ここで α は $\alpha = \exp[j\pi\tau/Ts]$

と定義され、Tsは前記アナログ信号のサンプリング周期を、jは $j^2 = -1$ であるところの虚数単位を表わし、 β 及び β' は

$$\beta + \beta' = 1$$

を満たすことを特徴とする請求項4に記載のデジタイザ装置。

【請求項8】前記第2位相誤差補正係数 β は、 $1/(1+\alpha)$ で表現され、 α は前記第1位相誤差補正係数であり、前記第3位相誤差補正係数 β' は、 $\alpha/(1+\alpha)$ で表現されることを特徴とする請求項6に記載のデジタイザ装置。

【請求項9】Tsはサンプリング周期を、 τ は位相誤差を、jは $j^2 = -1$ であるところの虚数単位を表わし、前記位相誤差補正係数 α は、 $\exp[j\pi\tau/Ts]$ で与えられることを特徴とする請求項8に記載のデジタイザ装置。

【請求項10】2個のA/D変換器を有し、 $m = 2^n$ 個のデータをもつ時(nは1以上)、前記バタフライ演算部は、

【数1】

$$X(k) = \beta \{X_{\text{even}}(k) + \alpha \cdot \overline{W}_m^k X_{\text{odd}}(k)\}$$

$$X(p) = \beta' \{X_{\text{even}}(k) + \alpha \cdot \overline{W}_m^p X_{\text{odd}}(k)\}$$

ここでkは0から $2^n - 1 - 1$ の値を、pは $2^n - 1$ から $2^n - 1$ の値をとり、

【数2】

$$\beta = 1 / (1 + \alpha),$$

$$\beta' = \alpha / (1 + \alpha),$$

$$\overline{W}_m = W_m^{(1+\tau/Ts)}$$

Xeven(k)は前記インターリーブ部から出力される偶数番目データシーケンスのFFT値で、Xodd(k)は前記インターリーブ部から出力される奇数番目データシーケンスのFFT値で、X(k)及びX(p)は前記バタフライ演算部から出力される最終値で、上記式に基づいて前記位相誤差 τ を補正することを特徴とする請求項8に記載のデジタイザ装置。

【請求項11】 $8 = 2^3$ 個のデータをもつ時、前記バタフライ演算部は、

【数3】

$$X(0) = \beta \{ X_{\text{even}}(0) + \alpha \cdot \overline{W}_8^0 X_{\text{odd}}(0) \}$$

$$\overline{W}_{2^m} = W_{2^m}^{(1+\tau/T_s)}$$

$$X(1) = \beta \{ X_{\text{even}}(1) + \alpha \cdot \overline{W}_8^1 X_{\text{odd}}(1) \}$$

$$X(2) = \beta \{ X_{\text{even}}(2) + \alpha \cdot \overline{W}_8^2 X_{\text{odd}}(2) \}$$

$$X(3) = \beta \{ X_{\text{even}}(3) + \alpha \cdot \overline{W}_8^3 X_{\text{odd}}(3) \}$$

$$X(4) = \beta \{ X_{\text{even}}(0) + \alpha \cdot \overline{W}_8^4 X_{\text{odd}}(0) \}$$

$$X(5) = \beta \{ X_{\text{even}}(1) + \alpha \cdot \overline{W}_8^5 X_{\text{odd}}(1) \}$$

$$X(6) = \beta \{ X_{\text{even}}(2) + \alpha \cdot \overline{W}_8^6 X_{\text{odd}}(2) \}$$

$$X(7) = \beta \{ X_{\text{even}}(3) + \alpha \cdot \overline{W}_8^7 X_{\text{odd}}(3) \}$$

に基づいて、前記位相補正誤差 τ を補正することを特徴とする請求項10に記載のデジタル装置。

【請求項12】半導体装置から出力されるアナログ信号をデジタル信号に変換するデジタル装置であって、前記半導体装置から出力される前記アナログ信号を前記デジタル信号に順次変換する複数個(2^m)のA/Dコンバータと、

前記デジタル信号を高速フーリエ変換(FFT)処理する複数個(2^m)のフーリエ変換(FT)処理部と、
m層(段)の位相誤差補正バタフライ演算部とを備え、
前記2^m個のA/Dコンバータが行うサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、

前記位相誤差補正バタフライ演算部の総数は、2^m - 1 + 2^m - 2 + ... + 2¹ + 2⁰ (=1)で表され、
第1段目の位相誤差補正バタフライ演算部は前記FT処理部から出力される2つの異なるデジタル信号を受け、
他の第2段目から最終段の位相誤差補正バタフライ演算部のそれぞれは該バタフライ演算部の前段階のバタフライ演算部から2つの異なるデジタル信号を受け、該バタフライ演算部の各々は、

【数4】

$$X(k) = \beta \{ X_{\text{even}}(k) + \alpha \cdot \overline{W}_{2^m}^k X_{\text{odd}}(k) \}$$

$$X(p) = \beta \{ X_{\text{even}}(k) + \alpha \cdot \overline{W}_{2^m}^p X_{\text{odd}}(k) \}$$

ここでX(k)及びX(p)は前段階から交互に得られるFFT処理された結果であり、 $\alpha = \exp[j\pi\tau/T_s]$ で、 τ は、位相誤差、T_sは前記アナログ信号のサンプリング周期を示し、

【数5】

X_{even}(k)は前記A/Dコンバータから出力される偶数番目データシーケンスのFT値で、X_{odd}(k)は前記A/Dコンバータから出力される奇数番目データシーケンスのFT値で、X(k)及びX(p)はm段(層)位相誤差補正バタフライ演算部の各々の段階で得られる値で、上記式に基づいて前記位相誤差 τ を補正することを特徴とする。

【請求項13】前記FT処理部は、高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFT)処理を前記デジタル信号に対して行うことを特徴とする請求項12に記載のデジタル装置。

【請求項14】 $\beta = 1/(1+\alpha)$ 及び $\beta' = \alpha/(1+\alpha)$ であることを特徴とする請求項12に記載のデジタル装置。

【請求項15】2³(=8)個のデータ数に対し3層3段のバタフライ演算部を有し、全8個の位相誤差($\tau_0, \tau_1, \tau_2, \tau_3, \tau_4, \tau_5, \tau_6, \tau_7$)のうちの1つ(τ_0)を基準タイミングとする時、第1段目のバタフライ演算部は($\tau_4 - \tau_0$), ($\tau_6 - \tau_2$), ($\tau_5 - \tau_1$), ($\tau_7 - \tau_3$)に対して位相誤差補正バタフライ演算を行い、第2段目のバタフライ演算部は($\tau_2 - \tau_0$)及び($\tau_3 - \tau_1$)に対して位相誤差補正バタフライ演算を行い、最終段目のバタフライ演算部は($\tau_1 - \tau_0$)に対して位相誤差補正バタフライ演算を行うことを特徴とする請求項13に記載のデジタル装置。

【請求項16】2²(=4)個のデータ数に対し2層(2段)のバタフライ演算部を有し、全4個の位相誤差($\tau_0, \tau_1, \tau_2, \tau_3$)のうちの1つ(τ_0)を基準タイミングとする時、第1段目のバタフライ演算部は($\tau_2 - \tau_0$)及び($\tau_3 - \tau_1$)に対して位相誤差補正バタフライ演算を行い、最終段のバタフライ演算部は($\tau_1 - \tau_0$)に対して位相誤差補正バタフライ演算を行うことを特徴とする請求項13に記載のデジタル装置。

【請求項17】半導体デバイスを試験するための半導体試験装置で、

パターン信号及び期待信号を発生させるパターン発生器と、

前記パターン発生器から出力される前記パターン信号の波形を整形する波形整形器と、

前記半導体デバイスが載置され、該半導体デバイスに前記波形整形器によって整形された前記パターン信号を供給し、前記半導体デバイスから出力されるアナログ信号を受信する半導体接触部と、

前記半導体デバイスから出力される前記アナログ信号をデジタル信号に変換させる波形デジタル装置と、

前記パターン発生器から出力される前記期待信号と前記

波形デジタイザ装置から出力される信号を比較して前記半導体デバイスの良否を判定する比較器とを備え、前記波形デジタイザ装置は、前記半導体デバイスから出力されるアナログ信号を順次デジタル信号に変換する N 個(N は2以上の整数)のA/Dコンバータと、前記A/Dコンバータから順次出力されるデジタル信号をインターリーブしてデータシーケンスを生成する N ウェイのインターリーブ部と、前記 N ウェイのインターリーブ部から出力される前記データシーケンスにフーリエ変換(FFT)処理を行うFFT処理部とを備え、前記 N 個のA/Dコンバータが行うサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 ϵ を有し、前記FFT処理部は、位相誤差 ϵ を補正する補正係数を挿入してバタフライ演算を行うバタフライ演算部を含むことを特徴とする。

【請求項18】前記FFT処理部は高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFFT)処理を前記データシーケンスに対して行うことを特徴とする。

【請求項19】入力デジタルデータが 2^m 個の時、前記位相誤差補正バタフライ演算部は、 m 層(段)の位相誤差補正部を有し、第1段目の位相誤差補正部は、前記FFT処理部から出力される2つのFFT処理された1セットとしてのデータを受け、他の段の位相誤差補正部のそれぞれは該補正部の前段の補正部から2つのデータを受け、このことを特徴とする請求項18に記載のデジタイザ装置。

【請求項20】半導体デバイスから出力されるアナログ信号のサンプリング周期の位相誤差を補正する方法で、前記半導体デバイスから出力される前記アナログ信号を順次デジタル信号に変換するステップと、前記アナログ信号からデジタル信号へ変換するステップから得られるデジタル信号をインターリーブすることでデータシーケンスを生成するステップと、前記インターリーブするステップによって得られる前記データシーケンスにフーリエ変換(FFT)処理するステップとを備え、前記デジタル信号に変換するステップに於けるサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 ϵ を有し、前記FFT処理するステップは、バタフライ演算に於て位相誤差補正係数を挿入して補正するステップを含むことを特徴とする。

【請求項21】前記FFT処理ステップは、高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFFT)処理を前記データシーケンスに対して行うことを特徴とする請求項20に記載の位相誤差補正方法。

【請求項22】前記位相誤差補正係数を挿入するステップは、 2^m 個の入力データに対して m 段(層)による位

相誤差補正ステップを含み、第1段目の位相誤差補正ステップの各々では2つのFFT処理された1セットとしてのデータを受け、他の段の位相誤差補正ステップの各々では前段の補正ステップから2つのデータを受け、このことを特徴とする請求項21に記載の位相誤差補正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インターリーブAD変換方式の波形デジタイザ装置に関する。特にインターリーブAD変換時におけるサンプリングタイミングの位相誤差に伴う測定誤差を検出して補正する補正手段に関する。

【0002】

【従来の技術】 N 相(way)のインターリーブAD変換方式の波形デジタイザは、複数 N 個のAD変換器を使うことで、見かけ上のサンプリングレートを高くすることが可能な技術であるが、一方でサンプリングするタイミングが正確であることが要求される。

【0003】インターリーブの相数 N は、2相の具体例で以下説明する。また、時系列データの個数としては、2のべき数12とした4096点とした具体数値例で説明する。

【0004】先ず、FFT処理部の内部構成を説明する。尚、ここでは2のべき数3とした8点の入力サンプリングデータ $x(0) \sim x(7)$ で説明する。FFT処理部は2相インターリーブのデータを個別に受けて、高速フーリエ変換を行う周知技術であって、4096点の時系列データ列を受けてFFT(Fast Fourier Transform)処理した4096点の周波数スペクトラムデータを出力する。内部構成は、第1FFT部と、第2FFT部と、バタフライ演算部とで成る。バタフライ演算部はFFT処理で用いられる周知のバタフライ演算であり、最終段のバタフライ演算を担当する。第1FFT部と第2FFT部は各々2048点の時系列データを受けてFFT処理した2048点の途中データ(複素データ)を各々出力する。

【0005】第1及び第2FFT部からのデータに対してバタフライ演算を行うバタフライ演算部は、FFT処理で適用される周知のバタフライ演算をした結果の4096点の周波数スペクトラムデータ $X(0) \sim X(7)$ を出力する。

【0006】半導体試験装置における波形デジタイザ装置に係る要部構成例として、その構成要素は、被試験デバイス(DUT)からのアナログ信号が送られる第1AD変換器(ADC)と、第2AD変換器(ADC)と、整列部と、FFT処理部と、被試験デバイス(DUT)とで成る。ここで説明を容易とする為に両AD変換器は、AD変換するサンプリング時のタイミング特性が群遅延特性やアパーチャ遅延特性を含んで、全く同一特性であるものと仮定する。尚、通常は両ADCがサンプリ

ングしたサンプリングデータは一旦バッファメモリを備えて格納し、その後にFFT処理部へ供給して演算処理する。

【0007】DUTから出力された被測定用のアナログ信号は、第1ADCと第2ADCの両方の入力端へ供給され、第1ADCは偶数データ列のサンプリングを担当し、出力する偶数時系列データはD0, D2, D4, …, とする。また第2ADCは奇数時系列データのサンプリングを担当し、出力する奇数時系列データはD1, D3, D5, …, とする。整列部40は前記両データ列を受けて交互に整列変換した時系列データD0, D1, D2, D3, D4, D5, …, を出力する。

【0008】サンプリングクロックclkA、clkB間の位相間隔 θ_1 、 θ_2 は、お互いが等間隔となるように位相調整しなければならない。もしも位相誤差が生じたままサンプリングしたコードデータを受けてそのままFFT処理すると、出力結果は正しい周波数スペクトルが得られない、ことが知られている。

【0009】

【発明が解決しようとする課題】上述したように従来技術においては、複数のADC間におけるサンプリングタイミングの変動はなく、サンプリングクロックレートは一定として、あるいは許容できる誤差範囲内でサンプリングレートを一定としていた。一方で、ADCのサンプリング特性はADC素子自身の部品ばらつきや、环境温度、経時変化、電源電圧変動により目的とする等間隔でのサンプリングに変動を来す。また、サンプリングするクロック周波数clkを大きく変えて測定する半導体試験装置等の利用形態では群遅延特性がクロック周波数clkの変更に伴って変わってくる。これら要因に伴って、理想状態のサンプリングタイミングからの変動を生じてくることになる。このことは、より精度良く入力信号の周波数スペクトラムを求めようとする場合においては、従来の装置は、好ましくなく実用上の難点である。

【0010】そこで、本発明が解決しようとする課題は、複数のAD変換器間におけるサンプリング位相のずれを測定して、FFT演算処理の補正が可能なインターリーブAD変換方式デジタイザ装置を提供することである。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明の第1形態は、半導体デバイスから出力されるアナログ信号を順次デジタル信号に変換するN個（Nは2以上の整数）のA/Dコンバータと、A/Dコンバータから順次出力されるデジタル信号をインターリーブしてデータシーケンスを生成するNウェイのインターリーブ部と、Nウェイインターリーブ部から出力されるデータシーケンスにフーリエ変換（FT）処理を行うFT処理部とを備え、N個のA/Dコンバータが行うサン

プリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、FT処理部は、位相誤差を補正する補正係数を挿入してバタフライ演算を行うバタフライ演算部を含むことを特徴とするデジタイザ装置を提供する。

【0012】本発明の第1の形態の別の態様は、FT処理部は、高速フーリエ変換（FFT）処理又は離散フーリエ変換（DFT）処理をデータシーケンスに対して行ってもよい。また、FT処理部は、データシーケンス中の偶数番目データシーケンスにFFT変換処理を行う第1FFT処理部と、データシーケンス中の奇数番目データシーケンスにFFT変換処理を行う第2FFT処理部とを更に有し、バタフライ演算部は、第2FFT処理部によってFFT処理されたデータシーケンスに第1位相誤差補正係数を乗じてよい。また、バタフライ演算部は、第1及び第2FFT処理部によってFFT処理されたデータシーケンスに対して第2及び第3の位相誤差補正係数を乗じてよい。また、第1位相誤差補正係数 α は、 $\alpha = \exp[j\pi\tau/Ts]$ （ここでTsはアナログ信号のサンプリング信号のサンプリング周期で、jは $j^2 = -1$ であるところの虚数単位）、と与えられてよい。また、第2 β 及び第3 β' 位相誤差補正係数は、 $\beta + \beta' = 1$ を満たすように定められてよい。

【0013】また、バタフライ演算部に於て、第1位相誤差補正係数 α は第2FFT処理部より出力されるFFT処理されたデータシーケンスに乗ぜられ、第2 β 及び第3 β' 位相誤差補正係数は、それぞれ、 α が乗ぜられたFFT処理データシーケンスを伴う第1FFT処理部から出力されるFFT処理されたデータシーケンスに乗ぜられ、ここで α は $\alpha = \exp[j\pi\tau/Ts]$ と定義され、Tsはアナログ信号のサンプリング周期を、jは $j^2 = -1$ であるところの虚数単位を表わし、 β 及び β' は $\beta + \beta' = 1$ を満たすように与えられてよい。

【0014】また、第2位相誤差補正係数 β は、 $1/(1+\alpha)$ で表現され、 α は前記第1位相誤差補正係数であり、第3位相誤差補正係数 β' は、 $\alpha/(1+\alpha)$ で与えられてよい。また、2個のA/D変換器を有し、 $m=2^n$ 個のデータをもつ時（nは1以上）、バタフライ演算部は、

【数6】

$$X(k) = \beta \{X_{\text{even}}(k) + \alpha \cdot \bar{W}_n^k X_{\text{odd}}(k)\}$$

$$X(p) = \beta \{X_{\text{even}}(k) + \alpha \cdot \bar{W}_m^p X_{\text{odd}}(k)\}$$

ここでkは0から $2^n - 1$ の値を、pは $2^n - 1$ から $2^n - 1$ の値をとり、

【数7】

$$\beta = 1 / (1 + \alpha),$$

$$\beta' = \alpha / (1 + \alpha),$$

$$\bar{W}_m = W_m^{(1+\tau/Ts)}$$

$X_{\text{even}}(k)$ はインターリーブ部から出力される偶数番目データシーケンスのFFT値で、 $X_{\text{odd}}(k)$ はインターリーブ部から出力される奇数番目データシーケンスのFFT値で、 $X(k)$ 及び $X(p)$ はバタフライ演算部から出力される最終値で、上記式に基づいて位相誤差 τ を補正するようにしてもよい。

【0015】また、 $8=2^3$ 個のデータをもつ時、バタフライ演算部は、

【数8】

$$X(0) = \beta \{X_{\text{even}}(0) + \alpha \cdot \bar{W}_8^0 X_{\text{odd}}(0)\}$$

$$X(1) = \beta \{X_{\text{even}}(1) + \alpha \cdot \bar{W}_8^1 X_{\text{odd}}(1)\}$$

$$X(2) = \beta \{X_{\text{even}}(2) + \alpha \cdot \bar{W}_8^2 X_{\text{odd}}(2)\}$$

$$X(3) = \beta \{X_{\text{even}}(3) + \alpha \cdot \bar{W}_8^3 X_{\text{odd}}(3)\}$$

$$X(4) = \beta' \{X_{\text{even}}(0) + \alpha \cdot \bar{W}_8^4 X_{\text{odd}}(0)\}$$

$$X(5) = \beta' \{X_{\text{even}}(1) + \alpha \cdot \bar{W}_8^5 X_{\text{odd}}(1)\}$$

$$X(6) = \beta \{X_{\text{even}}(2) + \alpha \cdot \bar{W}_8^6 X_{\text{odd}}(2)\}$$

$$X(7) = \beta' \{X_{\text{even}}(3) + \alpha \cdot \bar{W}_8^7 X_{\text{odd}}(3)\}$$

に基づいて、位相補正誤差 τ を補正するようにしてもよい。

【0016】本発明の第2の形態は、半導体デバイスから出力されるアナログ信号をデジタル信号に順次変換する複数個 (2^m) のA/Dコンバータと、デジタル信号を高速フーリエ変換 (FFT) 処理する複数個 (2^m) のフーリエ変換 (FT) 処理部と、 m 層 (段) の位相誤差補正バタフライ演算部とを備え、 2^m 個のA/Dコンバータが行うサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、位相誤差補正バタフライ演算部の総数は、 $2^m - 1 + 2^{m-2} + \dots + 2^1 + 2^0 (=1)$ で表され、第1段目の位相誤差補正バタフライ演算部は前記FT処理部から出力される2つの異なるデジタル信号を受け、他の第2段目から最終段の位相誤差補正バタフライ演算部のそれぞれはバタフライ演算部の前段階のバタフライ演算部から2つの異なるデジタル信号を受け、バタフライ演算部の各々は、

【数9】

$$X(k) = \beta \{X_{\text{even}}(k) + \alpha \cdot \bar{W}_{2^m}^k X_{\text{odd}}(k)\}$$

$$X(p) = \beta' \{X_{\text{even}}(k) + \alpha \cdot \bar{W}_{2^m}^p X_{\text{odd}}(k)\}$$

ここで $X(k)$ 及び $X(p)$ は前段階から交互に得られるFFT処理された結果であり、 $\alpha = \exp[j\pi\tau/Ts]$ で、 τ は、位相誤差、 Ts は前記アナログ信号のサンプリング周期を示し、

【数10】

$$\bar{W}_{2^m} = W_{2^m}^{(1+\tau/Ts)}$$

$X_{\text{even}}(k)$ はA/Dコンバータから出力される偶数番目データシーケンスのFT値で、 $X_{\text{odd}}(k)$ はA/Dコンバータから出力される奇数番目データシーケンスのFT値で、 $X(k)$ 及び $X(p)$ は m 層 (層) 位相誤差補正バタフライ演算部の各々の段階で得られる値で、上記式に基づいて前記位相誤差 τ を補正することを特徴とするデジタイザ装置を提供する。

【0017】本発明の第2の形態の別の態様では、FT処理部は、高速フーリエ変換 (FFT) 処理又は離散フーリエ変換 (DFT) 処理をデジタル信号に対して行うようにしてもよい。また、 $\beta = 1/(1+\alpha)$ 及び $\beta' = \alpha/(1+\alpha)$ で与えてもよい。また、 $2^3 (=8)$ 個のデータ数に対し3層3段のバタフライ演算部を有し、全8個の位相誤差 ($\tau_0, \tau_1, \tau_2, \tau_3, \tau_4, \tau_5, \tau_6, \tau_7$) のうちの1つ (τ_0) を基準タイミングとする時、第1段目のバタフライ演算部は ($\tau_4 - \tau_0$)、($\tau_6 - \tau_2$)、($\tau_5 - \tau_1$)、($\tau_7 - \tau_3$) に対して位相誤差補正バタフライ演算を行い、第2段目のバタフライ演算部は ($\tau_2 - \tau_0$) 及び ($\tau_3 - \tau_1$) に対して位相誤差補正バタフライ演算を行い、最終段目のバタフライ演算部は ($\tau_1 - \tau_0$) に対して位相誤差補正バタフライ演算を行うようにしてもよい。

【0018】また、 $2^2 (=4)$ 個のデータ数に対し2層 (2段) のバタフライ演算部を有し、全4個の位相誤差 ($\tau_0, \tau_1, \tau_2, \tau_3$) のうちの1つ (τ_0) を基準タイミングとする時、第1段目のバタフライ演算部は ($\tau_2 - \tau_0$) 及び ($\tau_3 - \tau_1$) に対して位相誤差補正バタフライ演算を行い、最終段のバタフライ演算部は ($\tau_1 - \tau_0$) に対して位相誤差補正バタフライ演算を行うようにしてもよい。

【0019】本発明の第3の形態において、パターン信号及び期待信号を発生させるパターン発生器と、パターン発生器から出力される前記パターン信号の波形を整形する波形整形器と、半導体デバイスが載置され、半導体デバイスに波形整形器によって整形されたパターン信号を供給し、半導体デバイスから出力されるアナログ信号を受信する半導体接触部と、半導体デバイスから出力されるアナログ信号をデジタル信号に変換させる波形デジ

タイザ装置と、パターン発生器から出力される期待信号と波形デジタイザ装置から出力される信号を比較して半導体デバイスの良否を判定する比較器とを備え、波形デジタイザ装置は、半導体デバイスから出力されるアナログ信号を順次デジタル信号に変換する N 個(N は2以上の整数)の A/D コンバータと、 A/D コンバータから順次出力されるデジタル信号をインターリーブしてデータシーケンスを生成する N ウェイのインターリーブ部と、 N ウェイのインターリーブ部から出力されるデータシーケンスにフーリエ変換(FT)処理を行うFT処理部とを備え、 N 個の A/D コンバータが行うサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、FT処理部は、位相誤差 τ を補正する補正係数を挿入してバタフライ演算を行うバタフライ演算部を含むことを特徴とする半導体試験装置を提供する。

【0020】本発明の第3の形態の別の態様では、FT処理部は高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFT)処理をデータシーケンスに対して行ってもよい。

【0021】また、入力デジタルデータが 2^m 個の時、位相誤差補正バタフライ演算部は、 m 層(段)の位相誤差補正部を有し、第1段目の位相誤差補正部は、FT処理部から出力される2つのFFT処理された1セットとしてのデータを受け、他の段の位相誤差補正部のそれぞれは補正部の前段の補正部から2つのデータを受けようにしてもよい。

【0022】本発明の第4の形態において、半導体デバイスから出力されるアナログ信号を順次デジタル信号に変換するステップと、アナログ信号からデジタル信号へ変換するステップから得られるデジタル信号をインターリーブすることでデータシーケンスを生成するステップと、インターリーブするステップによって得られるデータシーケンスにフーリエ変換(FT)処理するステップとを備え、デジタル信号に変換するステップに於けるサンプリングタイミングと理想的サンプリングタイミングとは位相誤差 τ を有し、FT処理するステップは、バタフライ演算に於て位相誤差補正係数を挿入して補正するステップを含むことを特徴とする半導体デバイスから出力されるアナログ信号のサンプリング周期の位相誤差を補正する方法を提供する。

【0023】本発明の第4の形態の別の態様では、FT処理ステップは、高速フーリエ変換(FFT)処理又は離散フーリエ変換(DFT)処理をデータシーケンスに対して行ってもよい。

【0024】また、位相誤差補正係数を挿入するステップは、 2^m 個の入力データに対して m 段(層)による位相誤差補正ステップを含み、第1段目の位相誤差補正ステップの各々では2つのFFT処理された1セットとしてのデータを受け、他の段の位相誤差補正ステップの各々では前段の補正ステップから2つのデータを受けよう

うにしてもよい。

【0025】なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となる。

【0026】

【発明の実施の形態】以下発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求項にかかわる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。図1にアナログ信号を出力する半導体デバイスを試験する典型的な半導体デバイス試験装置を示す。この半導体デバイス試験装置は、 A/D 変換装置(ADC)を有する波形デジタイザ20、パターン発生器91、波形整形器92、比較器93、及び半導体デバイス接触部を有するパフォーマンスボード96を具備する。

【0027】試験されるべきアナログ信号を出力する半導体デバイス(DUT)が、半導体接触部に載置されている。パターン発生器91は、半導体デバイス(DUT)に供給する半導体デバイス入力信号42を生成する。半導体デバイス入力信号42は、波形整形器92に入力され、DUTの特性に応じて波形を整形させる。整形された半導体デバイス入力信号40は、半導体デバイス接触部に供給する。DUTは、入力された半導体デバイス入力信号40に基づいてアナログ信号50を出力する。アナログ信号は、デジタイザ20内の A/D 変換装置(ADC)に入力されデジタル信号に変換される。

【0028】比較器93は、誤差の補正された出力信号90と半導体デバイス入力信号42に基づいて半導体デバイス(DUT)の良否を判定し、判定信号52を出力する。尚、波形デジタイザ20に含まれるFFT演算処理の内部詳細構成は周知である為、要部を除いて説明を省略する。

【0029】本発明ではサンプリングクロック cl_kB の印加タイミングを $\tau+Ts$ としたとき、FFT演算の最終段のバタフライ演算に対して補正手段を施すことでサンプリングタイミングに τ のずれが有っても、これに伴うエラーを除去可能としている。

【0030】位相誤差修正を伴わないFFTアルゴリズムの原理と、図4に示す本発明の実施態様に基づくFFTアルゴリズムの原理とを対比させて説明する。先ず、図4において入力するデータ数を $n=8$ の具体例とし、時間波形データ $x(k)$ ($k=0, 1, \dots, 7$)から周波数スペクトラムデータ $X(k)$ を計算で求める手順を示す。

【0031】時間波形データ $x(k)$ の中で偶数番目のデータは第1FFT51へ入力し、奇数番目のデータは第2FFT52へ出力する。それぞれFFT処理し、第1FFT51の出力データは $X_{\text{even}}(k)$ とし、第2FFT52の出力データは $X_{\text{odd}}(k)$ とする。上

記データを受けて、最終段のバタフライ演算では下記計算式により、周波数スペクトラムデータ $X(k)$ が出力される。

$$\begin{aligned} X(0) &= X_{\text{even}}(0) + W_8^0 X_{\text{odd}}(0) \\ X(1) &= X_{\text{even}}(1) + W_8^1 X_{\text{odd}}(1) \\ X(2) &= X_{\text{even}}(2) + W_8^2 X_{\text{odd}}(2) \\ X(3) &= X_{\text{even}}(3) + W_8^3 X_{\text{odd}}(3) \\ X(4) &= X_{\text{even}}(0) + W_8^4 X_{\text{odd}}(0) \\ X(5) &= X_{\text{even}}(1) + W_8^5 X_{\text{odd}}(1) \\ X(6) &= X_{\text{even}}(2) + W_8^6 X_{\text{odd}}(2) \\ X(7) &= X_{\text{even}}(3) + W_8^7 X_{\text{odd}}(3) \end{aligned}$$

上述式で、 $W_8 = \exp[-j2\pi/8] = \cos[2\pi/8] - j\sin[2\pi/8]$

$$\begin{aligned} X(0) &= \beta \{X_{\text{even}}(0) + \alpha \cdot W_8^0 X_{\text{odd}}(0)\} \\ X(1) &= \beta \{X_{\text{even}}(1) + \alpha \cdot W_8^1 X_{\text{odd}}(1)\} \\ X(2) &= \beta \{X_{\text{even}}(2) + \alpha \cdot W_8^2 X_{\text{odd}}(2)\} \\ X(3) &= \beta \{X_{\text{even}}(3) + \alpha \cdot W_8^3 X_{\text{odd}}(3)\} \\ X(4) &= \beta' \{X_{\text{even}}(0) + \alpha \cdot W_8^4 X_{\text{odd}}(0)\} \\ X(5) &= \beta' \{X_{\text{even}}(1) + \alpha \cdot W_8^5 X_{\text{odd}}(1)\} \\ X(6) &= \beta' \{X_{\text{even}}(2) + \alpha \cdot W_8^6 X_{\text{odd}}(2)\} \\ X(7) &= \beta' \{X_{\text{even}}(3) + \alpha \cdot W_8^7 X_{\text{odd}}(3)\} \end{aligned}$$

…式1

【0033】上記式1で用いられる変数 α 、 β 、 β' 、 W_8 は、位相誤差 τ 、及びサンプリング間隔 T_s から以下の式により計算される複素数である。

$$\alpha = \exp[j\pi\tau/T_s] = \cos[\pi\tau/T_s] + j\sin[\pi\tau/T_s]$$

$$\beta = 1/(1+\alpha)$$

$$\beta' = \alpha/(1+\alpha)$$

$$W_8 = W_8^{1+\tau/T_s}$$

ここで、記号「 τ 」は直後の「 W 」文字に対する上線表現の代用表現であり式(D)が実際の表式である。

【0034】

$$\alpha = \exp[j\pi\tau/T_s] \quad \dots \text{式(A)}$$

$$\beta = 1/(1+\alpha) \quad \dots \text{式(B)}$$

$$\beta' = \alpha/(1+\alpha) \quad \dots \text{式(C)}$$

$$W_8 = W_8^{1+\tau/T_s} \quad \dots \text{式(D)}$$

$$W_n = W_n^{1+\tau/T_s} \quad \dots \text{式(E)}$$

n を入力信号の数とし、8のかわりに代入すると、式(D)は以下の一般的な形に書ける。

$$W_n = W_n^{(1+\tau/T_s)} \quad \dots \text{式(E)}$$

上記式(B)及び式(C)より、以下のことが導ける。

$\beta + \beta' = 1$ 又は、 $\beta' = \beta - 1$ 、即ち、 β と β' は長さ1の線分を分割する点とも考えられる。

【0035】さらに、 α に代表される第1位相誤差補正係数が一旦定義されれば、 β 及び β' にそれぞれ代表される第2位相誤差補正係数及び第3位相誤差補正係数は、第1位相誤差補正係数に関係なく、 $\beta + \beta' = 1$ を満たすように設定されてよい。

【0036】偶数番目の入力データを基準とした時、奇数番目の入力データのサンプリング時間は全体的にずれ

$\pi/8] - j\sin[2\pi/8] = 1/\sqrt{2} - j(1/\sqrt{2})$ とする。 j は虚数単位とする。

【0032】次に本発明の実施態様について、通常のFFTアルゴリズムと対応させながら説明する。図3に示すように、サンプリング間隔を T_s とし、位相誤差を τ とすると、偶数番目と奇数番目のサンプリングがずれている場合とする。本発明による第1の実施形態では、位相誤差 τ を演算処理により補正する為に、図4の構成に示すように、最終段のバタフライ演算を位相補正付きバタフライ演算である位相補正バタフライ演算部220としている。この補正を含む最終段のバタフライ演算は下記計算式である。

を生じている。即ち、サンプリングパルスは位相誤差を含んでいる。従って本実施例では、 α が乗ぜられて、位相が $\pi\tau/T_s$ だけ回転している。一方、 α はバタフライ演算中の全てのデータの位相をわずかにシフトしているため、この位相のシフト分相殺する必要がある。そのために、 β が乗ぜられる。 β' は同様に出力データに乘算され、複素共役数を含むバタフライ演算がナイキスト周波数付近で行われる。

【0037】上記位相補正バタフライの演算処理により、位相誤差 τ の影響を相殺した周波数スペクトラムデータ $X(k)$ が得られる利点が得られる。上記実施例では8個の入力データとして説明したが、同様な位相誤差補正原理を 2^n 個の入力データの場合へと拡張できる。ここで n は1以上の任意の整数である。即ち、例えば、2ウェイ(2way)のA/Dコンバータ(ADC)をもつデジタイザ装置で、 $m = 2^n$ 個のデータ列を扱うとすると(n は1以上の任意の整数)、バタフライ演算部220は位相誤差 τ を以下の式に基づいて補正する。

$$X(k) = \beta \{X_{\text{even}}(k) + \alpha \cdot W_m^k X_{\text{odd}}(k)\}$$

$$X(p) = \beta' \{X_{\text{even}}(k) + \alpha \cdot W_m^p X_{\text{odd}}(k)\}$$

ここで、 k は0から $2^n - 1$ までの数字を取り、 p は $2^n - 1$ から $2^n - 1$ までの範囲の数字をとる。また、上式において、

$$\beta = 1/(1+\alpha)$$

$$\beta' = \alpha/(1+\alpha)$$

$$W_m = W_m^{(1+\tau/T_s)}$$

と定義する。

【0038】また、上式で、 $X_{\text{even}}(k)$ は、図4に示す通り、前記インターリーブ部（整列部40）から出力される偶数番目データシーケンス $x(\text{even})$ をFFT処理した値である。同様に、 $X_{\text{even}}(p)$ は前記整列部40から出力される奇数番目データシーケンス $x(\text{odd})$ をFFT処理した値であり、 $X(k)$ 及び $X(p)$ はバタフライ演算部220から出力されるデジタイザ装置の最終値である。

【0039】上記式を用いて具体的に計算してみる。サンプリングクロック $c1kA$ 、 $c1kB$ を50MHzとすると、インターリーブにより2倍の100MHzでサンプリングされるからして、 $T_s = 1/100\text{MHz} = 10\text{nS}$ である。このとき、位相誤差 $\tau = 2.5\text{nS}$ と仮定すると、変数 α 、 β 、 β' 、 W_B の値は、 $\tau/T_s = 0.25$

$$\begin{aligned}\alpha &= \exp[j\pi\tau/T_s] = \cos[\pi\tau/T_s] + j\sin[\pi\tau/T_s] = 0.707 + j0.707 \\ \beta &= 1/(1+\alpha) = 1/(1.707 + j0.707) = 0.5 - j0.207107 \\ \beta' &= \alpha/(1+\alpha) = 1 - \beta = 0.5 - j0.207107 \\ W_B &= W_B(1 + \tau/T_s) = (0.707 - j0.707) \cdot 1.25 = 0.884 - j0.884\end{aligned}$$

の複素数値が得られる。これを上記 $X(0) \sim X(7)$ の演算式に乗算適用して補正演算することで位相誤差 τ の影響を相殺した周波数スペクトラムデータ $X(k)$ が得られる。 W_B は複素数であり、回転子又は回転因子と呼ばれる。

【0040】尚、 τ の値は既知の単一周波数の正弦波信号を印加して、同様にしてADCでサンプリングし、得られた結果のデータ列を各々個別にFFT処理し、求めた周波数スペクトラム結果から容易に求められる。 τ を前もって測定しなくても、被測定信号の帯域外のところへ正弦波信号を入れておくことにより、測定は一度ですむ。

【0041】従って、 α に代表される第1位相誤差補正係数を、第2FFT処理部52によってFFT処理されたデータシーケンスに乘じ、一方、 β 及び β' に代表される第2位相補誤差補正係数及び第3位相誤差補正係数をさらに、第1及び第2FFT処理部51、52によってFFT処理されたデータシーケンスに乘ずるようバタフライ演算部220を設けたことにより、サンプリングクロック $c1kB$ の印加タイミングに τ のタイミング誤差を有していても、この τ に伴う誤差を相殺したFFT

$$\begin{aligned}\bar{x}_{\text{even}}(t) &= \sum_{m=0}^{N/2-1} x(2mT_s) \delta(t - 2mT_s) \cdots \text{式103-1} \\ \bar{x}_{\text{odd}}(t) &= \sum_{m=0}^{N/2-1} x((2m+1)T_s + \tau) \delta(t - (2m+1)T_s - \tau) \cdots \text{式103-2}\end{aligned}$$

【数14】

出力結果が得られる大きな利点が得られる。

【0042】尚、上述説明は2相インターリーブとした具体例で説明していたが、2以上のN相インターリーブ（Nは任意の正整数）構成の場合でも上述補正手段を適用することで実施可能である。

【0043】図2は波形デジタイザ装置に係る、2相インターリーブ時における原理構造図である。構成は第1A/Dコンバータ（ADC）31と、第2A/Dコンバータ（ADC）32と、整列部（インターリーブ部）40とで成る。第1ADC31はサンプリング周期 $2T_s$ のサンプリングクロック $c1kA$ でサンプリングした偶数時系列データ $D0, D2, D4, \dots$ を出力する。第2ADC32はサンプリング周期 $2T_s$ のサンプリングクロック $c1kB$ でサンプリングした奇数時系列データ $D1, D3, D5, \dots$ を出力する。整列部40は前記両データ列を受けて交互に整列変換した時系列データ $D0, D1, D2, D3, D4, D5, \dots$ を出力する。結果として、サンプリング周期 T_s （即ち $2T_s/2 = T_s$ ）でDUTが出力する信号をサンプリングする。

【0044】ここでサンプリングクロック $c1kB$ の印加タイミングを $\tau + T_s$ としたとき、問題となることは、 $\tau = 0$ となるように正確に両サンプリングクロックのエッジを与えることが困難なことである。そこで、本発明では、両ADCで得られたデータに対して補正手段を施すことで、サンプリングタイミングに係る位相誤差除去をする。

【0045】次に、式を示して位相誤差補正手段を段階的に説明する。ここで、式101～式119を先に示した後、順次説明する。

【数11】

$$\begin{aligned}\bar{x}(t) &= x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \\ &= \sum_{n=-\infty}^{\infty} x(nT_s) \delta(t - nT_s) \cdots \text{式101}\end{aligned}$$

【数12】

$$\begin{aligned}p_{\text{even}}(t) &= \sum_{m=-\infty}^{\infty} \delta(t - 2mT_s) \cdots \text{式102-1} \\ p_{\text{odd}}(t) &= \sum_{m=-\infty}^{\infty} \delta(t - (2m+1)T_s - \tau) \cdots \text{式102-2}\end{aligned}$$

【数13】

$$\begin{aligned}\bar{X}(f) &= X(f) * P(f) \\ &= X(f) * \frac{1}{T_s} \sum_{k=-\infty}^{\infty} \delta\left(f - \frac{k}{T_s}\right) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} X\left(f - \frac{k}{T_s}\right) \cdots \text{式104}\end{aligned}$$

【数15】

$$\begin{aligned}\bar{X}_{\text{even}}(f) &= \frac{1}{2T_s} \sum_{k=-\infty}^{\infty} X\left(f - \frac{k}{2T_s}\right) \cdots \text{式105-1} \\ \bar{X}_{\text{odd}}(f) &= \frac{1}{2T_s} \sum_{k=-\infty}^{\infty} X\left(f - \frac{k}{2T_s}\right) \cdot e^{-j\pi k} \cdots \text{式105-2}\end{aligned}$$

【数16】

$$\bar{X}(f) = \bar{X}_{\text{even}}(f) + \bar{X}_{\text{odd}}(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} \frac{1 + e^{-j\pi k(1+r/T_s)}}{2} X\left(f - \frac{k}{2T_s}\right) \cdots \text{式106}$$

【数17】

$$\bar{X}'(f) = \bar{X}_{\text{even}}(f) + e^{j\pi r/T_s} \bar{X}_{\text{odd}}(f) \cdots \text{式107}$$

【数18】

$$\bar{X}'(f) = \frac{1}{T_s} \left\{ \left(\frac{1 + e^{j\pi \frac{r}{T_s}}}{2} \right) X(f) + \left(\frac{1 + e^{-j\pi \frac{r}{T_s}}}{2} \right) X\left(f - \frac{1}{T_s}\right) \right\} \cdots \text{式108}$$

【数19】

$$\bar{X}''(f) = \begin{cases} \left(\frac{1 + e^{j\pi r/T_s}}{2} \right)^{-1} \bar{X}'(f) & (0 < f \leq 1/2T_s) \\ \left(\frac{1 + e^{-j\pi r/T_s}}{2} \right)^{-1} \bar{X}'(f) & (1/2T_s < f \leq 1/T_s) \end{cases} \cdots \text{式109}$$

【数20】

$$\bar{X}''(f) = \frac{1}{T_s} \left(\bar{X}(f) + \bar{X}\left(f - \frac{1}{T_s}\right) \right) \quad (0 \leq f \leq \frac{1}{T_s}) \cdots \text{式110}$$

【数21】

$$DFT(k) = \sum_{n=0}^{N-1} x(nT_s) e^{-j2\pi kn/N} \quad (k = 0, \dots, N-1) \cdots \text{式111}$$

【数22】

$$\bar{X}(f) = \sum_{n=0}^{N-1} x(nT_s) e^{-j2\pi f nT_s} \cdots \text{式112} \quad DFT(k) = \bar{X}\left(\frac{k}{NT_s}\right) \cdots \text{式113}$$

【数24】

【数23】

$$\begin{aligned}DFT_{\text{even}}(k) &= \sum_{m=0}^{N/2-1} x(2mT_s) e^{-j2\pi km/N} \quad (k = 0, \dots, N/2-1) \\ DFT_{\text{odd}}(k) &= \sum_{m=0}^{N/2-1} x((2m+1)T_s + \tau) e^{-j2\pi km/N} \quad (k = 0, \dots, N/2-1) \cdots \text{式114}\end{aligned}$$

【数25】

$$DFT_{\text{even}}(k) = \bar{X}_{\text{even}}\left(\frac{k}{NT_s}\right) \quad (k=0, \dots, N/2-1)$$

$$DFT_{\text{odd}}(k) = e^{j2\pi f(\tau+T_s)} \bar{X}_{\text{odd}}\left(\frac{k}{NT_s}\right) \quad (k=0, \dots, N/2-1) \dots \text{式115}$$

【数26】

$$\bar{X}''\left(\frac{k}{NT_s}\right) = \begin{cases} \frac{2}{1+\alpha} [DFT_{\text{even}}(k) + \alpha \cdot \bar{W}_N^k DFT_{\text{odd}}(k)] & (k=0, \dots, N/2-1) \dots \text{式116} \\ \frac{2\alpha}{1+\alpha} [DFT_{\text{even}}(k) + \alpha \cdot \bar{W}_N^k DFT_{\text{odd}}(k)] & (k=N/2, \dots, N-1) \end{cases}$$

【数27】

$$DFT(k) = DFT_{\text{even}}(k) + e^{-j2\pi k/N} DFT_{\text{odd}}(k) \dots \text{Eq.117}$$

【数28】

$$A_i = |DFT(n)| \quad (i=1, 2) \dots \text{式118-1}$$

$$\phi_i = \arg[DFT(n)] \quad (i=1, 2) \dots \text{式118-2}$$

【数29】

$$\tau/T_s = (\phi_1 - \phi_2) / 2\pi f_0 T_s + 1 \dots \text{式119}$$

【0046】本明細書中での説明において、例えば式101の左辺の表記方法を、符号「 \sim 」を直前に付与した $\sim x(t)$ として、文章中では表記する。式101において、 $\sim x(t)$ 、即ち $x(t) \cdot p(t)$ はサンプリングされた信号波形である。ここで T_s はサンプリング周期であり、 $\delta(t)$ はデルタ関数であり、 $p(t)$ はサンプリングパルス列であり、 $x(t)$ は測定対象となる信号波形であり、即ちADCへの入力信号である。図5(a)、5(b)、5(c)はサンプリングされた波形の時間ドメインにおける波形(左側)と周波数ドメインにおける波形(右側)を示している。ところで、本実施例では第1ADC31と第2ADC32との2相インターリーブ構成を想定しているから、図5(a)、5(b)に示すように、サンプリング周期は $2T_s$ により交互にサンプリングされる。図5(a)は偶数側(even)のサンプリングを担当し、その表式は式102-1で表現される。図5(b)は奇数側(odd)のサンプリングを担当し、その表式102-2で表現される。上記において、両ADCのサンプリングクロック間における位相誤差を図3に示すように τ 時間遅れているものと仮定する。このとき偶数側のサンプリング式103-1で表現され、奇数側のサンプリングは式103-2で表現される。ここで式102-2における τ 項は、サンプリングシーケンスにおける位相誤差であり、 $\tau=0$ の場合は、 $P(t) = P_{\text{even}}(t) + P_{\text{odd}}(t)$ の関係である。

【0047】次に、偶数側のサンプリング波形 $\sim x$

$\sim x_{\text{even}}(t)$ と奇数側のサンプリング波形 $\sim x_{\text{odd}}(t)$ の有限個のデータによる表式は式103-1、式103-2で表現される。この式103で留意を要するのは、サンプリング周期が $2T_s$ となり、データの個数が $N/2$ となる点である。

【0048】まず $\tau=0$ の場合で考察する。時間軸上の $\sim x_{\text{even}}(t)$ 、 $\sim x_{\text{odd}}(t)$ と $\sim X(t)$ との間の関係を周波数軸で考察する。そのフーリエ変換は、時間軸上での波形が積で表されるので、コンボリューション(convolution)となり、式101からして、そのフーリエ変換式は式104で表現される。式104の表現において、星記号のアスタリスク(*)はコンボリューションを表し、フーリエ変換された波形は慣用的に大文字で表現する。同様に偶数側のフーリエ変換 $\sim X_{\text{even}}(f)$ は式105-1で与えられ、奇数側のフーリエ変換 $\sim X_{\text{odd}}(f)$ は式105-2で与えられる。 $\sim X_{\text{even}}(f)$ 、 $\sim X_{\text{odd}}(f)$ と $\sim X(f)$ との間の関係は図5(a)、5(b)、5(c)の周波数軸の図(右側)に示される。この図5(c)からわかるように、式105の和における k が奇数となる項は式105-1の和における k が奇数となる項の符号が反転されている。従って、これら項は加算されると相殺される。

【0049】次に、位相誤差 $\tau \neq 0$ ではなく、位相誤差が存在する場合を考察する。 $\sim X(f) = \sim X_{\text{even}}(f) + \sim X_{\text{odd}}(f)$ の定義表現は式106で与えられる。式106におけるスプリアス成分(spuri

ous component)として寄与する $k=1$ の項は、 $\tau=0$ でないときゼロとならない。式106から因子 $1/2(1-e^{-j\pi\tau/Ts})$ は、 $X(f)$ のスプリアス成分の信号成分に対する比率を与える。

【0050】次に、位相誤差補正の原理を説明する。 $X_{\text{even}}(f) + X_{\text{odd}}(f)$ はエラー τ に起因するスプリアス成分を含んでいる。 τ によって影響を受けない波形を生成する必要がある。因子 $1/2(1-e^{-j\pi\tau/Ts})$ がエラーの影響にとって重要であることを念頭において代わりの波形として式107を示して検討する。式107において、要素 $e^{j\pi\tau/Ts}$ は、スプリアス成分を相殺する為に $X_{\text{odd}}(f)$ の手前へ挿入される。 $X'(f)$ を $k=0, 1, 2$ の項を含むように書き下すと、式108の表現となる。

【0051】 $k=1$ の項は、式108の表現では相殺されている。右辺の第2項はエリアシング成分として寄与している。 $X'(f)$ が代わりに使用できるかを評価する為に、この表現について考察する必要がある。式104と比較すると式108の第1項における余分な因子 $1/2(1+e^{j\pi\tau/Ts})$ が存在するので、波形 $X'(f)$ は、目的とする波形と異なっている。ここで問題は、この因子及びエリアシング成分(aliasing component)に含まれる同様の因子を補正することである。もしも $X(f)=0$ 、ここで $|f| > 1/2Ts$ のときのサンプリング法則が満足するならば、 $X(f)$ の項と $X(f-1/Ts)$ の項は、その周波数成分がナイキスト周波数 $1/2Ts$ の両サイドに分離される。従って、 $X'(f)$ の下側の半分(ナイキスト周波数以下)と上側の半分(ナイキスト周波数以上)をそれぞれ補正することが可能である。式109に示す波形はこれに対応する。

【0052】次に補正アルゴリズムの導出を説明する。以下に説明する位相誤差補正アルゴリズムは、実際の測定データ $x(nTs)$ ($n=0, 1, \dots, N-1$)から $X'(f)$ を計算する手法である。実用的な周波数軸への計算はDFT(Discrete Fourier Transform: 離散フーリエ変換)である。DFTは周知のように、式111で表現される。

【0053】まず、式111のDFT(k)と $X(f)$ との関係を説明する。式101のフーリエ変換は式112となり、式111と式112とを比較すると式113の関係がわかる。

【0054】式113から、DFTは、 k/NTs の周波数ポイントでサンプリングした $X'(f)$ の計算値であることが理解できる。これから、インターリーブADC方式で得られたデータを適用する。第1ADCで得たデータのDFTをDFT_{even}(k)、第2ADCで得たデータのDFTをDFT_{odd}(k)と書くと、これらは式114で与えられる。

【0055】式114で注意すべきは、両DFTはそれ

ぞれ $N/2$ データ数である。式114と式102のフーリエ変換とを比較すると、式115の関係が見出せる。

【0056】DFT_{even}(k)とDFT_{odd}(k)から、どのように $X'(f)$ を計算できるかが式108、式109、式115の関係から計算式として式116として得られる。

【0057】ここで、係数 α を $\exp[j\pi\tau/Ts]$ とし、回転因子 $W_n = \exp[j2\pi(1+\tau/Ts)/N]$ と定義する。従って、位相誤差を補正する方法は式116によって与えられる。この方程式116を吟味すると、FFTの拡張として表現されていることに注目する。 $\tau=0$ のときに、式111と式114式の関係から式117の方程式が成立する。

【0058】ここで、 $W_n = \exp[j2\pi/N]$ である。FFTアルゴリズムは式117を基礎としている。それは奇数データポイント、偶数データポイントそれぞれのDFTから全データポイントのDFTを計算する。この演算手順は、図4で $N=8$ の場合に信号の流れとして示す。

【0059】これは「バタフライ演算」と呼ばれる。FFTではDFT演算を実行する為に反復的なバタフライ演算を使用する。式117と式116の比較から、式116の信号流れ図は、わずかな変更で導き出せることが理解できる。追加したのはゲイン要素の α 、 β と β' である。ここで α は位相シフト係数(第1位相誤差補正係数)で、 β 及び β' は第2位相誤差補正係数及び第3位相誤差補正係数として働き、 α とは $\beta=1/(1+\alpha)$ 、 $\beta'=\alpha/(1+\alpha)$ であるように関連付けられるか、又は、 α とは直接関係なく、 β と β' は $\beta+\beta'=1$ であるように設定されてもよく、改良された回転要素は $W_n = W_n^{1+\tau/Ts}$ であることが好ましい。このように、本実施例においては、新たなハードウェアの追加を必要としないため、コストパフォーマンスが大変よく、現在使用しているハードウェアへの僅かな改良ですむ。更に、本願の実施例では、半導体デバイス試験における精度が上がるため、製造歩留まりの向上に寄与する。上記アルゴリズムは、周波数軸上の補正された波形を生成する。そのアルゴリズムによって生成した波形への逆フーリエ変換(IFFT)の適用により、周波数軸上のデータからその時間軸上の波形データが得られる。

【0060】次に、時間配列エラー τ の測定を説明する。上述説明においては、時間位置エラー τ の値は既知であると仮定した。よって位相誤差補正実行のときに利用できるとした。ここでは、どのようにしてこの値とその他の値とを測定するかを簡潔に説明し、電圧ゲインを含む複数ADC間におけるミスマッチのキャリブレーションに使用できるようにする。

【0061】 τ の測定方法では、タイムインターリーブされた複数のADCの入力端へ正弦波のテスト信号を供

給する。前記ADCからの出力はフーリエ変換処理する。テスト信号の周波数は、量子化ノイズの影響と窓関数による漏れを最小にするように、適切に選択する。

【0062】タイミングオフセットとADCゲインを考慮すると、それぞれのADCの出力波形は次の式のように表わされる。

$$A \sin(2\pi f_0 t + \Phi)$$

ここで、Aはゲインであり、 Φ はサンプリングタイムオフセットに起因する位相である。 f_0 はテスト信号の周波数であって、 $f_s = n f_0$ （ここでnは素数である）を満足するように選択する。Aと Φ の値は、式118-1、式118-2に示すように、各々ADCのFFTデータから得る。ここで、 $|z|$ は複素数zの絶対値を得る為の操作であり、 $\arg[z]$ はその位相角である。両ADCの出力値の間のエラーは、ゲインとタイミング不一致に起因して存在する。式118-1にから求められる $A1/A2$ の値は、予めゲイン不一致を補正する為に第2ADC32からのデータへ乗算される。 τ の値は式119の表式から得られる。上記実施例に於ける位相誤差補正バタフライ演算部220は 2^n 個のADCを使用した場合に適用してもよい。ここでnは1以上の任意の正整数とする。

【0063】次に具体例として、8相インターリーブ時の原理構成図について図6(a)、6(b)を参照して説明する。先ず、図6(a)に示すように、第1相を基準タイミングとしたときの他の7相の位相ずれは各々 $\tau_1, \tau_2, \tau_3, \tau_4, \tau_5, \tau_6, \tau_7$ を含んでいるものと仮定する。尚、前記各位相ずれ $\tau_1 \sim \tau_7$ を取得する位相ずれ測定方法は、上述した2相インターリーブ時の τ の測定方法と同様である。図6(b)は、8個のADCからインターリーブされたデータを使い、まずデータがFFT処理され、次にFFT処理部のあとに3段からなる7つのバタフライ演算部220bをもつデジタイザ装置の例を示している。

【0064】8相インターリーブ時の位相補正バタフライ220の内部構成は、図6(b)に示すように、8相が2の3乗であるからして、最終段側の3段階に対して、本発明の位相補正付きバタフライ演算を適用する必要がある、ビットリバース部210と7個の位相補正バタフライ演算部220bとで成る。従って本実施例によれば、一般に 2^m 個の入力データを 2^m 個のADCでインターリーブする場合、m段の位相誤差補正バタフライ演算を行い、合計 $2^{m-1} + 2^{m-2} + \dots + 2^{m-(m+1)} + 2^{m-m}$ 即ち $2^{m-1} + 2^{m-2} + \dots + 2^1 + 2^0 (=1)$ 個の位相誤差補正バタフライ部220bを備える。例えば本実施例の様に、 $m=3$ の時は、合計 $2^2 + 2^1 + 1 = 7$ 個の位相誤差バタフライ演算部220bを具備する。

【0065】即ち、8チャンネルのADCからのFFT演算結果の各相出力データ(DATA(0)～DATA

(7))を受けて、2入力毎に各々バタフライ演算する。即ち、8チャンネルであるから、第1段階目では4個の位相補正バタフライ220bを備えて、各々 $(\tau_4 - \tau_0)$ 、 $(\tau_6 - \tau_2)$ 、 $(\tau_5 - \tau_1)$ 、 $(\tau_7 - \tau_3)$ 、の位相補正付きバタフライ演算を実行する。第2段階目では2個の位相補正バタフライ220bを備え、前段の4個の位相補正バタフライ演算部220bからの演算結果を受けて、各々 $(\tau_2 - \tau_0)$ 、 $(\tau_3 - \tau_1)$ 、の位相補正付きバタフライ演算を実行する。第3段階目では1個の位相補正バタフライ演算部220bを備え、前段の2個の位相補正バタフライ演算部220bからの演算結果を受けて、 $(\tau_1 - \tau_0)$ 、の位相補正付きバタフライ演算を実行する。この最終段の出力データが各インターリーブ相の位相ずれを補正したFFT出力データである。尚、ビットリバース部210は通常のパタフライ演算と同様に、単に入力データ順の入れ替え操作を行うものである。尚、ここでは τ_0 と明示的に示したが第1相を基準にしているので、 $\tau_0 = 0$ である。

【0066】個々の位相補正バタフライ演算部220bは上述した2相インターリーブの説明同様であり、補正量である時間位置エラー τ に対する位相誤差補正付きバタフライ演算を行う。但し、各々の補正量は異なり、第1段目が $(\tau_4 - \tau_0)$ 、 $(\tau_6 - \tau_2)$ 、 $(\tau_5 - \tau_1)$ 、 $(\tau_7 - \tau_3)$ 、により補正演算を行い、第2段目は $(\tau_2 - \tau_0)$ 、 $(\tau_3 - \tau_1)$ により補正演算を行い、第3段目は $(\tau_1 - \tau_0)$ により補正演算を行う。この最終段の出力データが各インターリーブ相の位相ずれ $\tau_1, \tau_2, \tau_3, \tau_4, \tau_5, \tau_6, \tau_7$ を補正したFFT出力データである。

【0067】次に具体例として、4相インターリーブ時の原理構成図について図7(a)、7(b)を参照して説明する。先ず、図7(a)に示すように、第1相を基準タイミングとしたときの他の3相の位相ずれは各々 τ_1, τ_2, τ_3 を含んでいるものと仮定する。

【0068】4相インターリーブ時の位相誤差補正バタフライ演算部220の内部構成は、図7(b)に示すように、4相が2の2乗であるからして、最終段側の2段階に対して、本発明の実施形態による位相誤差補正付きバタフライ演算を適用する必要がある、ビットリバース部210と、3個の位相補正バタフライ演算部220bとで成る。

【0069】即ち、4チャンネルのADCからのFFT演算結果(DATA(0)～DATA(3))を受けて、2入力毎に各々バタフライ演算する。従って4チャンネルであるからして、第1段階目では2個の位相補正バタフライ220bを備えて、各々 $(\tau_2 - \tau_0)$ 、 $(\tau_3 - \tau_1)$ 、の位相補正付きバタフライ演算を実行する。第2段階目では1個の位相補正バタフライ220bを備え、前段の2個の位相補正バタフライ220bか

らの演算結果を受けて、 $(\tau_1 - \tau_0)$ 、の位相補正付きバタフライ演算を実行する。この最終段の出力データが各インターリーブ相の位相ずれ τ_1 、 τ_2 、 τ_3 を補正したFFT出力データである。上記実施例に於ては入力データ数を 2^3 個及び 2^2 個として説明したが、 2^n 個(n は任意の1以上の正整数)としてもよい。また、処理速度を問題にしなければ、FFT処理の代わりに、インターリーブされたデータをフーリエ変換(FT)しても又は離散フーリエ変換(DFT)してもよい。

【0070】

【発明の効果】上述説明から明かなように、FFT演算処理の最終段の位相補正バタフライ演算部220のバタフライ演算において α 演算部と、 β 演算部と、 β' 演算部とを追加する位相補正付きバタフライ演算とすることにより、サンプリングタイミングの誤差を相殺したFFT出力結果が得られるという大きな利点を得られる。従って本発明の技術的効果は絶大であり、産業上の経済効果も絶大である。また、上記実施例に於て、位相誤差によるスプリアス要素が除かれるため、インターリーブされたA/Dコンバータのダイナミックレンジが改善される。さらに、上記実施例に於ける位相誤差補正部及び位相誤差補正方式はハードウェアを追加する必要がなく、わずかな計算負荷がかかるだけである。それ故、LSI技術が進みサンプリングレートが増加するに従って従来のA/Dコンバータ法がサンプリング時の位相誤差によって多大なダメージを受けることを考慮すると、本実施例によるバタフライ演算部を含むFFT処理部及び

その方法は、半導体産業全体において絶大な価値をもつものである。

【図面の簡単な説明】

【図1】アナログ信号を出力する半導体デバイスを試験する半導体デバイス試験装置を示す構成図。

【図2】本発明の、波形デジタル化装置に係る、2相インターリーブ時における要部原理構成図。

【図3】図2に示された2つのADCから出力された2つのサンプリング列から成るサンプリングクロック。

【図4】本発明の、FFT処理部の最終段の演算構成図。

【図5】時間軸と周波数軸におけるサンプリング波形。

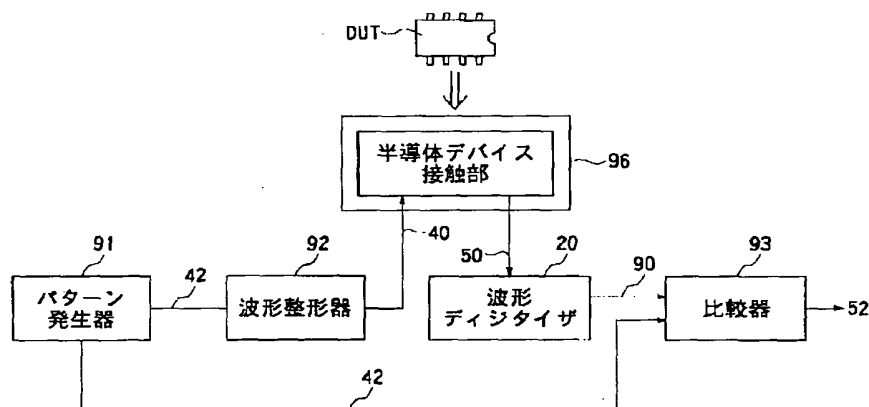
【図6】本発明の、8相インターリーブ時の要部原理構成図。

【図7】本発明の、4相インターリーブ時の要部原理構成図。

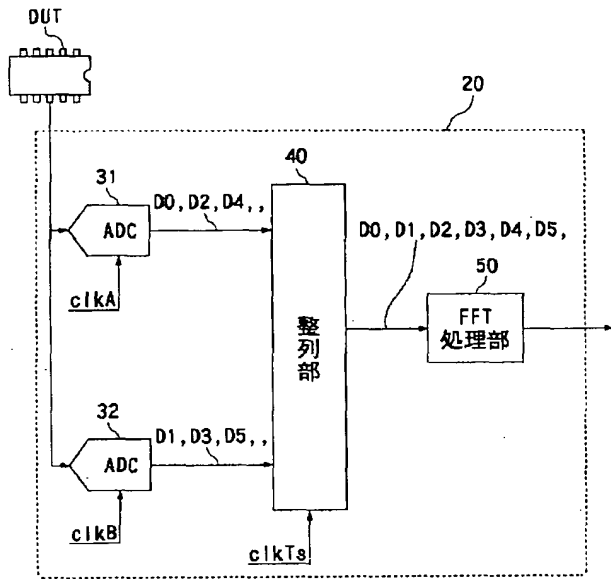
【符号の説明】

- 20 波形デジタル化
- 31 第1AD変換器(ADC)
- 32 第2AD変換器(ADC)
- 40 整列部
- 50 FFT処理部
- 51 第1FFT処理部
- 52 第2FFT処理部
- 210 ビットリバース部
- 220, 220b 位相補正バタフライ演算部
- DUT 被試験デバイス

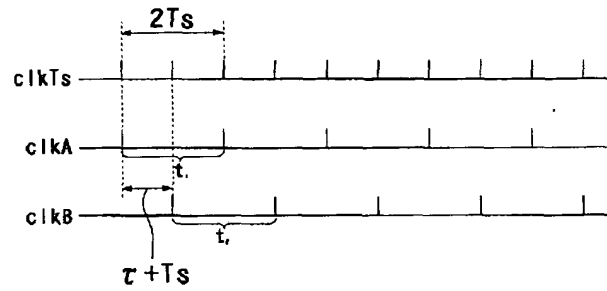
【図1】



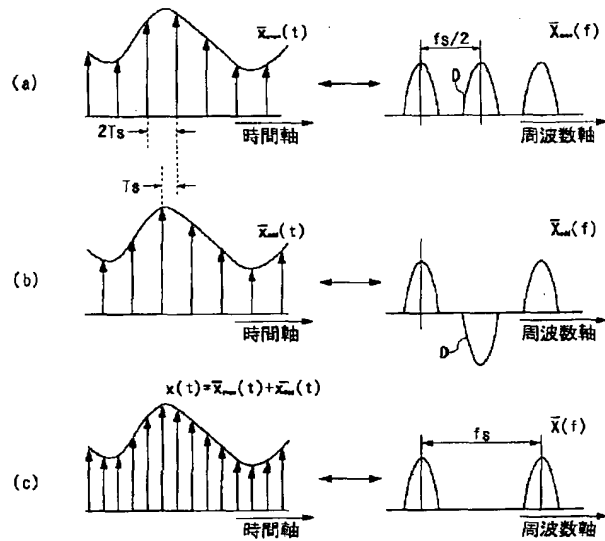
【図2】



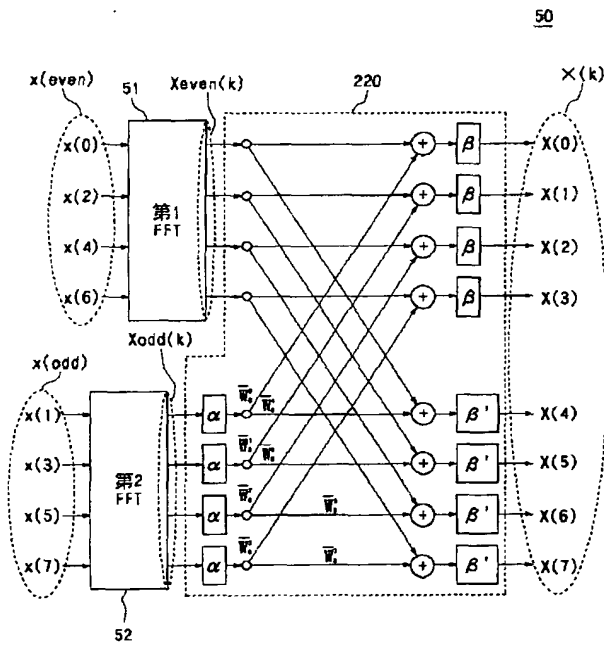
【図3】



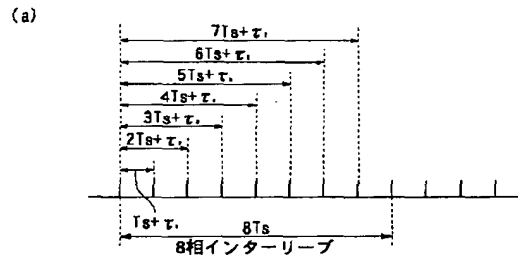
【図5】



【図4】



【図6】



【図7】

